

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

014438487 **Image available**

WPI Acc No: 2002-259190/200231

XRPX Acc No: N02-200897

Image display device for electronic equipment e.g. television, converts digital picture signals output from shift registers into analog signal and transmits analog signals to corresponding signal lines

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); AZAMI M (AZAM-I);
KOYAMA (KOYA-I)

Inventor: AZAMI M; KOYAMA J

Number of Countries: 031 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1128355	A2	20010829	EP 2001104286	A	20010222	200231 B
CN 1310435	A	20010829	CN 2001104747	A	20010222	200231
JP 2001312243	A	20011109	JP 200146159	A	20010222	200231
KR 2001100792	A	20011114	KR 20018584	A	20010221	200231
US 20010048408	A1	20011206	US 2001777693	A	20010207	200231
TW 535127	A	20030601	TW 2001103046	A	20010212	200374

Priority Applications (No Type Date): JP 200043756 A 20000222

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 1128355 A2 E 51 G09G-003/30

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI TR

CN 1310435 A G09G-003/36

JP 2001312243 A 30 G09G-003/20

KR 2001100792 A G09G-003/36

US 20010048408 A1 G09G-003/30

TW 535127 A G09G-003/20

Abstract (Basic): EP 1128355 A2

NOVELTY - A signal line driver circuit receives the digital picture signal (Di) through shift registers and the output of shift registers is stored in storage circuit (LAT). A D/A converter converts the stored signal into analog signal and a signal line selecting circuits (10b) transmits the analog signals to the corresponding signal lines.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) Portable telephone using image display device;
- (b) Video camera using image display device;
- (c) Personal computer using image display device;
- (d) Head mount display using image display device;
- (e) Television using image display device;
- (f) Portable book using image display device;

- (g) Digital versatile disk player using image display device;
- (h) Digital camera using image display device;
- (i) Projector using image display device;
- (j) Signal line driver circuit

USE - For electronic equipment such as portable information terminal e.g. electronic books, mobile computers and portable telephones, video cameras, steel cameras, head mount display, portable electronic books, television, digital camera, projectors and light source optical system.

ADVANTAGE - By directly inputting direct picture signals into shift register, the signal transmission line for supplying digital picture signal is shortened and hence the number of gates to be connected is reduced and resistance and load capacitance of signal transmission line are reduced and the operation margin of driver circuit is increased with reduced cost.

DESCRIPTION OF DRAWING(S) - The figure shows the structure of signal line driver circuit.

Signal line selecting circuits (10b)

Digital picture signal (Di)

Storage circuit (LAT)

pp; 51 DwgNo 3/27

Title Terms: IMAGE; DISPLAY; DEVICE; ELECTRONIC; EQUIPMENT; TELEVISION;
CONVERT; DIGITAL; PICTURE; SIGNAL; OUTPUT; SHIFT; REGISTER; ANALOGUE;
SIGNAL; TRANSMIT; ANALOGUE; SIGNAL; CORRESPOND; SIGNAL; LINE

Derwent Class: P81; P85; U14; W03

International Patent Class (Main): G09G-003/20; G09G-003/30; G09G-003/36

International Patent Class (Additional): G02F-001/133; G02F-001/1333

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07084595 **Image available**

IMAGE DISPLAY DEVICE AND ITS DRIVING CIRCUIT

PUB. NO.: 2001-312243 [JP 2001312243 A]

PUBLISHED: November 09, 2001 (20011109)

INVENTOR(s): KOYAMA JUN

ASAMI MUNEHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-046159 [JP 200146159]

FILED: February 22, 2001 (20010222)

PRIORITY: 2000-043756 [JP 200043756], JP (Japan), February 22, 2000
(20000222)

INTL CLASS: G09G-003/20; G02F-001/133; G09G-003/30; G09G-003/36

ABSTRACT

PROBLEM TO BE SOLVED: To reduce an area to be occupied in the signal line driving circuit of an image display device corresponding to inputs of digital video signals and to reduce the parasitic capacitance and resistance of input transmission line of the digital video signal.

SOLUTION: Both of a means which inputs directly digital video signals to shift registers respectively and which performs the serial-parallel conversion of the signals and a means shares storage circuits and D/A conversion circuits in the signal line driving circuit with (n) lines (n is a natural number of 2 or more) of signal lines are adopted in this display device. Moreover, one horizontal scanning period is divided into (n) pieces and storage circuits and D/A conversion circuits perform processions respectively with respect to different signal lines in respective divided periods.

COPYRIGHT: (C)2001, JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-312243

(P 2001-312243 A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)	
G09G 3/20	623	G09G 3/20	623	E
			623	G
			623	H
	611		611	J
G02F 1/133	550	G02F 1/133	550	

審査請求 未請求 請求項の数33 O L (全30頁) 最終頁に続く

(21) 出願番号 特願2001-46159 (P 2001-46159)

(22) 出願日 平成13年2月22日 (2001.2.22)

(31) 優先権主張番号 特願2000-43756 (P 2000-43756)

(32) 優先日 平成12年2月22日 (2000.2.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社半

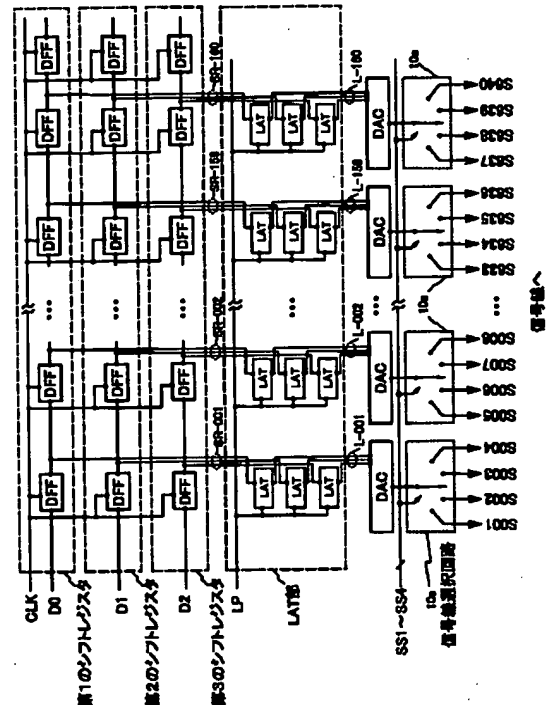
導体エネルギー研究所内

(54) 【発明の名称】 画像表示装置およびその駆動回路

(57) 【要約】

【課題】 デジタル映像信号入力に対応する画像表示装置の信号線駆動回路に占める面積の縮小とそのデジタル映像信号の入力伝送線の寄生容量、抵抗を低減する。

【解決手段】 デジタル映像信号をシフトレジスタに直接入力し直並列変換する手段と、信号線駆動回路内の記憶回路やD/A変換回路をn本 (nは2以上の自然数) の信号線で共有する手段の双方を取り入れる。1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行う。



【特許請求の範囲】

【請求項 1】 k 本 (k は 2 以上の整数) の信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記 k 本の信号線を駆動する信号線駆動回路と、
前記複数の走査線を駆動する走査線駆動回路と、
を有する画像表示装置において、

前記信号線駆動回路は、 m ビット (m は自然数) のデジタル映像信号が入力される m 個或いは m の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する n 分の $m \times k$ 個 (n は 2 以上の整数) の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する n 分の k 個の信号線選択回路と、を有することを特徴とする画像表示装置。

【請求項 2】 複数の信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記複数の信号線を駆動する信号線駆動回路と、
前記複数の走査線を駆動する走査線駆動回路と、を有する画像表示装置において、

前記信号線駆動回路は、複数ビットのデジタル映像信号が入力される複数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

前記デジタル映像信号は前記各シフトレジスタに入力され、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトされ、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1 水平走査期間相当の時間内に n 回 (n は 2 以上の整数) 繰り返すことを特徴とする画像表示装置。

【請求項 3】 光の 3 原色である R (赤)、 G (緑)、 B (青) に対応した 3 本の信号線を単位に 3 の倍数本 (以下、 k 本とする) からなる信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記 k 本の信号線を駆動する信号線駆動回路と、
前記複数の走査線を駆動する走査線駆動回路と、を有するカラー表示対応の画像表示装置において、

前記信号線駆動回路は、前記 RGB に対してそれぞれ m ビット (m は自然数) のデジタル映像信号が入力される m 個或いは m の倍数個のシフトレジスタと、該シフトレ

ジスタの出力信号を記憶する n 分の $m \times k$ 個 (n は 3 の倍数) の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する n 分の k 個の信号線選択回路と、を有することを特徴とする画像表示装置。

【請求項 4】 光の 3 原色である R (赤)、 G (緑)、 B (青) に対応した 3 本の信号線を単位に 3 の倍数本からなる信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記 3 の倍数本からなる信号線を駆動する信号線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路と、を有するカラー表示対応の画像表示装置において、

前記信号線駆動回路は、前記 RGB に対してそれぞれ m ビット (m は自然数) のデジタル映像信号が入力される複数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

1 水平走査期間は第 1、第 2、第 3 の期間を有し、

前記第 1 の期間には、前記 R に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

前記第 2 の期間には、前記 G に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

前記第 3 の期間には、前記 B に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

且つ、前記 3 つの各期間内に、

前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトし、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1 回或いは複数回行うことを特徴とする画像表示装置。

【請求項 5】 請求項 1 或いは請求項 3 において、前記 D/A 変換回路の数は、 n 分の k 個であることを特徴とする画像表示装置。

【請求項 6】 請求項 1 乃至請求項 4 のいずれか 1 項において、前記 D/A 変換回路はランプ型 D/A 変換回路であることを特徴とする画像表示装置。

【請求項 7】 請求項 1 乃至請求項 6 のいずれか 1 項において、前記記憶回路はラッチ回路であることを特徴とする画像表示装置。

【請求項 8】 請求項 7 において、前記ラッチ回路はアナログスイッチおよび保持容量を有することを特徴とする画像表示装置。

【請求項 9】 請求項 7 において、前記ラッチ回路はクロックドインバータを有することを特徴とする画像表示装

置。

【請求項 10】請求項 7 において、前記ラッチ回路はアナログスイッチおよび複数のインバータを有することを特徴とする画像表示装置。

【請求項 11】液晶材料を用いて表示を行う請求項 1 乃至請求項 10 のいずれか 1 項に記載の画像表示装置。

【請求項 12】エレクトロルミネッセンス (EL) 材料を用いて表示を行う請求項 1 乃至請求項 10 のいずれか 1 項に記載の画像表示装置。

【請求項 13】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする携帯電話。

【請求項 14】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするビデオカメラ。

【請求項 15】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 16】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項 17】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするテレビ。

【請求項 18】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする携帯書籍。

【請求項 19】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とする DVD プレーヤー。

【請求項 20】請求項 1 乃至請求項 12 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするデジタルカメラ。

【請求項 21】請求項 1 乃至請求項 11 のいずれか 1 項に記載の前記画像表示装置を用いることを特徴とするプロジェクター。

【請求項 22】 k 本 (k は 2 以上の整数) の信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、 m ビット (m は自然数) のデジタル映像信号が入力される m 個或いは m の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する n 分の $m \times k$ 個 (n は 2 以上の整数) の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する n 分の k 個の信号線選択回路と、を有することを特徴とする画像表示装置の駆動回路。

【請求項 23】複数の信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、複数ビットのデジタル映像信号が入力される複数個のシフトレジスタと、該シフトレジ

スタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

前記デジタル映像信号は前記各シフトレジスタに入力され、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトされ、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1 水平走査期間相当の時間内に n 回 (n は 2 以上の整数) 繰り返すことを特徴とする画像表示装置の駆動回路。

【請求項 24】光の 3 原色である R (赤)、G (緑)、B (青) に対応した 3 本の信号線を単位に 3 の倍数本 (以下、 k 本とする) からなる信号線を駆動する画像表示装置の信号線駆動回路において、

前記信号線駆動回路は、前記 RGB に対してそれぞれ m ビット (m は自然数) のデジタル映像信号が入力される m 個或いは m の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する n 分の $m \times k$ 個 (n は 3 の倍数) の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する n 分の k 個の信号線選択回路と、を有することを特徴とする画像表示装置の駆動回路。

【請求項 25】光の 3 原色である R (赤)、G (緑)、B (青) に対応した 3 本の信号線を単位に 3 の倍数本からなる信号線を駆動する画像表示装置の信号線駆動回路において、

前記信号線駆動回路は、前記 RGB に対してそれぞれ m ビット (m は自然数) のデジタル映像信号が入力される複数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の D/A 変換回路と、該 D/A 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

1 水平走査期間は第 1、第 2、第 3 の期間を有し、前記第 1 の期間には、前記 R に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、前記第 2 の期間には、前記 G に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、前記第 3 の期間には、前記 B に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、且つ、前記 3 つの各期間内に、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトし、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1 回或いは複数回行うことを特徴とする画像表示装置の駆動回路。

【請求項 26】請求項 22 或いは請求項 24 において、

前記D/A変換回路の数は、 n 分の k 個であることを特徴とする画像表示装置の駆動回路。

【請求項27】請求項22乃至請求項25のいずれか1項において、前記D/A変換回路はランブ型D/A変換回路であることを特徴とする画像表示装置の駆動回路。

【請求項28】請求項22乃至請求項27のいずれか1項において、前記記憶回路はラッチ回路であることを特徴とする画像表示装置の駆動回路。

【請求項29】請求項28において、前記ラッチ回路はアナログスイッチおよび保持容量を有することを特徴とする画像表示装置の駆動回路。

【請求項30】請求項28において、前記ラッチ回路はクロックインバータを有することを特徴とする画像表示装置の駆動回路。

【請求項31】請求項28において、前記ラッチ回路はアナログスイッチおよび複数のインバータを有することを特徴とする画像表示装置の駆動回路。

【請求項32】請求項22乃至請求項31のいずれか1項において、前記画像表示装置の駆動回路はポリシリコン薄膜トランジスタで形成されていることを特徴とする画像表示装置の駆動回路。

【請求項33】請求項22乃至請求項31のいずれか1項において、前記画像表示装置の駆動回路は単結晶トランジスタで形成されていることを特徴とする画像表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル映像信号を入力する画像表示装置とその駆動回路に関し、特にその駆動回路の占有面積を縮小し、さらに、入力されるデジタル映像信号の遅延や波形歪みを低減する画像表示装置の駆動回路に関する。

【0002】

【従来の技術】近年ガラス基板上に半導体薄膜を形成した画像表示装置、特に薄膜トランジスタ（以降、TFTと記す）を使用したアクティブマトリクス型画像表示装置が普及している。TFTを使用したアクティブマトリクス型画像表示装置（以下、画像表示装置という）は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御している。

【0003】さらに、最近の技術として、画素を構成する画素TFTのほかに、画素アレイ部の外側に駆動回路を、TFTを用いて同時形成するポリシリコンTFT技術が発展しつつある。

【0004】また、同時形成される駆動回路もアナログ映像信号対応のものだけでなく、デジタル映像信号に対応したものが実現されている。

【0005】画像表示装置の1つであるアクティブマトリクス型液晶表示装置の構成例を図25に示す。図25に示されるように、この液晶表示装置は信号線駆動回路

101、走査線駆動回路102、画素アレイ部103、信号線104、走査線105、画素TFT106、液晶107などによって構成されている。

【0006】図26は従来例のデジタル映像信号に対応した（デジタル方式）信号線駆動回路の構成を詳細に説明するものである。また、図27は図26に対するタイミングチャートである。ここでは、 k （水平） $\times 1$ （垂直）の画素を持つ画像表示装置を例に説明する。説明を簡易に行うため、デジタル映像信号が3ビットの場合を例にとるが、実際の画像表示装置ではビット数は3には限定しない。また、図26、図27では $k=640$ の具体的例を示した。

【0007】従来の信号線駆動回路は以下のような構成を有している。それらは、クロック信号（CLK）およびスタートパルス（SP）を入力し、順次パルスをシフトしていくシフトレジスタ、そのシフトレジスタの出力によりデジタル映像信号を順次記憶する第1の記憶回路（LAT1）、第1の記憶回路の出力をラッチ信号（LP）の入力にあわせて記憶する第2の記憶回路（LAT2）、第2の記憶回路の出力をアナログ信号に変換するD/A変換回路（DAC）よりなっている。ここでは、記憶回路はラッチ回路を用いている。

【0008】そして、シフトレジスタ段数（図26に示すDFFの個数に相当）は $k+1$ 段となる。シフトレジスタの出力信号は、直接またはバッファを介して、第1の記憶回路（LAT1）の制御信号（SR-001～SR-640）となる。第1の記憶回路（LAT1）は前記制御信号の出力タイミングに合わせて、デジタル映像信号（D0～D2）を記憶する。ここで第1の記憶回路（LAT1）は3（ビット数） $\times k$ （水平信号線数）個必要になる。第2の記憶回路（LAT2）も同じく3 k 個必要となる。

【0009】信号線駆動回路には、シフトレジスタ用クロック信号（CLK）、スタートパルス（SP）、デジタル映像信号（D0～D2）、ラッチ信号（LP）が入力される。シフトレジスタにはまず、スタートパルス（SP）とクロック信号（CLK）が入力され、順次パルスをシフトしていく。シフトレジスタの出力（図26ではSR-001～SR-640）は図27に示すように、クロック信号（CLK）の1周期ずつシフトしたパルスとなる。シフトレジスタの出力信号によって、第1の記憶回路（LAT1）は動作し、そのときに入力されているデジタル映像信号を記憶していく。シフトレジスタのパルスが1ライン分シフトすることによって、1ライン分のデジタル映像信号が第1の記憶回路（LAT1）に記憶される。（図26ではL1-001～L1-640。ただし、簡単のためビットの区別はせずにまとめて示した。）

【0010】次に、水平帰線期間に、ラッチ信号（LP）が入力される。このラッチ信号によって、第2の記

憶回路(LAT2)が動作し、第1の記憶回路(LAT1)に記憶された映像信号(図26、図27ではL1-001~L1-640)は第2の記憶回路(LAT2)に記憶される。水平帰線期間が終了し、次の水平走査期間になると、再び、シフトレジスタは動作を始める。一方、第2の記憶回路(LAT2)に記憶されていたデジタル映像信号(図26、図27ではL2-001~L2-640。ただし、簡単のためビットの区別はせずにとめて示した)はD/A変換回路(DAC)でアナログ信号に変換される。このアナログ信号は信号線(図26ではS001~S640)に送出され、さらに走査線駆動回路によりオンされた画素TFTを介して該当する画素に書き込まれる。

【0011】以上の動作によって、画像表示装置は画素に映像信号を書き込み、そして表示をおこなう。

【0012】

【発明が解決しようとする課題】上記にて説明したようなデジタル方式の駆動回路はアナログ方式に比べてその占有面積が非常に大きいという欠点がある。デジタル方式では、信号が“Hi”または“Lo”の2値であらわ

せるというメリットがあるが、その代わりデータ量が膨大になり、画像表示装置を構成する上で、小型化という観点から大きな妨げとなっている。画像表示装置の面積の増加は、その製造原価の増加をまねき、製造企業の収益を悪化させるという問題点がある。

【0013】また、近年扱う情報量の急激な増加に伴い、画素数の増大化および画素の精細化が図られている。しかし、画素数の増加にあわせて、駆動回路も増加していくことになり更なる駆動回路の面積の縮小が望まれている。

【0014】ここで、一般に用いられているコンピュータの表示解像度の例を画素数と規格名とによって以下に示す。

画素数	規格名
640×480	VGA
800×600	SVGA
1024×768	XGA
1280×1024	SXGA
1600×1200	UXGA

【0015】例えば、SXGA規格を例にとった場合、ビット数を8とすると、上述した従来の駆動回路では1280本の信号線に対して、第1の記憶回路、第2の記憶回路、D/A変換回路がそれぞれ10240個必要になる。また、ハイビジョンTV(HDTV)などのような高精細なテレビ受像機が普及し、コンピュータの世界のみならず、AVの分野においても、高精細な画像が必要になってきている。米国では、地上波デジタル放送がはじまり、日本においても、デジタル放送の時代が始まることになる。デジタル放送では画素数1920×1080のものが有力であり、駆動回路の占める面積縮小が

早急に求められている。

【0016】一方、図26にも示されているように従来のデジタル方式の駆動回路では、デジタル映像信号(D0~D2)を供給する信号伝送線は全ての第1の記憶回路(LAT1)と接続する必要があることから、その配線の引き回しが非常に長くなっている。その結果、負荷容量や抵抗といった信号伝送線への負荷が大きくなり、デジタル映像信号の遅延や波形の歪みが大きくなってしまふ。この傾向は、画素数が増大すれば顕著となり、正確なデジタル映像信号に基づく表示が困難になるという問題点が生じる。

【0017】そこで、本発明は上述の問題点を解決するために、信号線駆動回路の占有面積を削減し、さらに、デジタル映像信号の遅延や波形歪みを低減する技術を提供するものである。

【0018】

【課題を解決するための手段】信号線駆動回路内の記憶回路やD/A変換回路をn本(nは2以上の自然数)の信号線で共有する。1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行うことで、全ての信号線を従来例と同等に駆動することができる。こうして信号線駆動回路内の記憶回路やD/A変換回路を従来例のn分の1にすることが可能となる。なお、本明細書においては、信号線や走査線に対して、画像を表示させるために適切な処理を行うことを「信号線を駆動する」或いは「走査線を駆動する」と表現する。

【0019】また、デジタル映像信号はシフトレジスタに直接入力され、シフトレジスタ内を順次シフトさせ所望の位置まで達したらクロック信号の入力を中止し信号をシフトさせるのをやめ、その位置で信号を保持させる。次のデジタル映像信号とクロック信号の入力が始まる前にラッチ信号を入力することでシフトレジスタに保持されていた信号を記憶回路に転送することで、従来例の第2の記憶回路までと同等の動作を行うことができる。このようにデジタル映像信号を直接シフトレジスタに入力することで、デジタル映像信号を供給する信号伝送線を短くし、また、接続するゲート数が数千から数個になるのでゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0020】

【発明の実施の形態】ここでは、一般に水平方向と垂直方向の画素数をそれぞれk、lとした画像表示装置を例にとって説明する。本実施形態では、デジタル映像信号を3ビットとして説明するが、本発明は3ビットに限らず、6ビット、8ビットまたはそれ以外のビット数についても有効である。また、以下の説明において、1つのD/A変換回路で何本の信号線を駆動するかを示すパラメータとしてnを用いるが、水平方向の画素数kがnの倍数でないときは、kに適当に数字を足してnの倍数に

したものを新たに k と定義するものとする。この場合、付け加えた画素を仮想的なものとして取り扱えば実際の動作には何も支障をきたさない。

【0021】以下に本実施形態の構成について説明し、次に、本実施形態の動作について説明する。図1に本実施形態の信号線駆動回路例を、図2にはその動作タイミングを示す。ただし、図1、図2では $k=640$ の具体例を示している。以下では、一般的な説明として k などの記号を用いるが、〔 〕内には図1、図2に対応した具体的な数字を示すことにする。なお、走査線駆動回路の構成、画素アレイ部の構成は従来例と同じである。

【0022】本実施形態の信号線駆動回路は、ディレイ型フリップフロップ(DFP)から成る3個のシフトレジスタ(第1〜第3のシフトレジスタ)と、記憶回路(LAT)と、D/A変換回路(DAC)と、信号線選択回路10aとを有している。従来例ではシフトレジスタへスタートパルスを入力するが、本実施形態ではスタートパルスではなくデジタル映像信号を入力する。また、各記憶回路(LAT)へはラッチ信号(LP)が入力される。各D/A変換回路(DAC)は n 本の信号線を駆動し、信号線選択回路10aにより適切な信号線にD/A変換回路の出力を書き込む。ただし、図1、図2では $n=4$ の具体例を示した。

【0023】図1から判るように、DFPは $3 \times ((k/n) + 1)$ 段〔483段〕、記憶回路(LAT)は $3k/n$ 個〔480個〕、そしてD/A変換回路(DAC)は k/n 個〔160個〕、それぞれ存在する。

【0024】次にその動作について、図2を参照しながら説明する。各シフトレジスタにはそれぞれ異なるビットのデジタル映像信号(D0〜D2)と、クロック信号(CLK)が入力される。1水平走査期間には1ライン全ての信号線に対応するデジタル映像信号が時間経過と共に順次入力される。従って、D0、D1、D2は、それぞれ個々の信号線に対応したデジタル映像信号から構成されている。1水平走査期間に時間経過と共に入力されるデジタル映像信号の並び順は、従来例と異なり、対応する信号線の番号によって表すと「 $(k-n+1, k-2n+1, \dots, n+1, 1), (k-n+2, k-2n+2, \dots, n+2, 2), (k-n+3, k-2n+3, \dots, n+3, 3), \dots, (k, k-2n, \dots, 2n, n)$ 」〔(637, 633, ..., 5, 1), (638, 634, ..., 6, 2), (639, 635, ..., 7, 3), (640, 636, ..., 8, 4)〕となる。ここで、括弧“() ”はサブグループを表す。各シフトレジスタは入力されたデジタル映像信号をクロック信号(CLK)と同期をとりながら順次シフトさせる〔SR-001〜SR-160に示す〕。

【0025】1水平走査期間に記憶回路(LAT)にラッチ信号(LP)を n 回入力する。本実施形態では以下のタイミングでラッチ信号を入力する。

【0026】まず、第1番目のサブグループ内で信号線の番号が $k-n+1$ 〔637〕に対応するデジタル映像信号が k/n 段目〔160段目〕のDFPから出力されたら、クロック信号を一時的に止めて各DFPからの出力を固定させる。この時、第1回目のラッチ信号(LP)を入力し、シフトレジスタの各DFPの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号〔1, $n+1$, $2n+1$, ..., $k-n+1$ 〕〔1, 5, 9, ..., 637〕に対応するデジタル映像信号が記憶回路(LAT)に転送されたことになる。

【0027】その後、第2番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が $k-n+2$ 〔638〕に対応するデジタル映像信号が k/n 段目〔160段目〕のDFPから出力されたら、クロック信号を一時的に止めて各DFPからの出力を固定させる。この時、第2回目のラッチ信号(LP)を入力し、シフトレジスタの各DFPの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号〔2, $n+2$, $2n+2$, ..., $k-n+2$ 〕〔2, 6, 10, ..., 638〕に対応するデジタル映像信号が記憶回路(LAT)に転送されたことになる。

【0028】以降も同様な操作を繰り返し、最後の第 n 番目のサブグループ内で信号線の番号が k 〔640〕に対応するデジタル映像信号が k/n 段目〔160段目〕のDFPから出力されたら、クロック信号を一時的に止めて各DFPからの出力を固定させる。この時、第 n 回目〔4回目〕のラッチ信号(LP)を入力し、シフトレジスタの各DFPの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号〔 n , $2n$, $3n$, ..., k 〕〔4, 8, 12, ..., 640〕に対応するデジタル映像信号が記憶回路(LAT)に転送されたことになる。

【0029】以上のようなラッチ信号(LP)の入力により、信号線一行分全てのデジタル映像信号を記憶回路(LAT)に転送したことになる。

【0030】記憶回路(LAT)の出力はD/A変換回路に入力され、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10aを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0031】1水平走査期間に、上記のように記憶回路(LAT)も n 回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路(LAT)に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0032】まず、第1番目のサブグループである信号線の番号〔1, $n+1$, $2n+1$, ..., $k-n+1$ 〕〔1, 5, 9, ..., 637〕に対応するデジタル映像

信号が記憶回路(LAT)に記憶されている期間内に、第1の制御信号(SS1)を入力し、各信号線選択回路

10aは「1、n+1、2n+1、…、k-n+1」
 「1、5、9、…、637」番目の信号線をそれぞれ
 選択する。

【0033】次に、記憶回路内（LAT部）のデータが
 一新され、第2番目のサブグループである信号線の番号
 「2、n+2、2n+2、…、k-n+2」〔2、6、
 10、…、638〕に対応するデジタル映像信号が記
 憶回路（LAT）に記憶されている期間内に、第2の制
 御信号（SS2）を入力し、各信号線選択回路10aは
 「2、n+2、2n+2、…、k-n+2」〔2、6、
 10、…、638〕番目の信号線をそれぞれ選択す
 る。

【0034】一般に、iを自然数として、第i番目のサ
 ブグループである信号線の番号「i、n+i、2n+
 i、…、k-n+i」に対応するデジタル映像信号が記
 憶回路（LAT）に記憶されている期間内に、第iの制
 御信号（SSi）を入力し、各信号線選択回路10aは
 「i、n+i、2n+i、…、k-n+i」番目の信号線
 をそれぞれ選択する。

【0035】このようにして、1水平走査期間にn回、
 信号線選択回路10aに制御信号パルスを入力すること
 により適切な信号線にD/A変換回路の出力を書き込む
 ことが可能となる。

【0036】なお、記憶回路（LAT）の出力とD/A
 変換回路の間に、バッファ回路、レベルシフト回路、出
 力の期間を制限するイネーブル回路などを入れても良
 い。また、デジタル映像信号の入力並び順は、上記の順
 に限定されない。この並び順は、信号線選択回路の動作
 方法やシフトレジスタの動作方向（デジタル映像信号の
 入力接続位置）等により決定される。

【0037】本実施形態では、3ビットのデジタル映像
 信号が分割なしに入力される場合を示したが、シフトレ
 ジスタの動作周波数を低くするために入力されるデジタ
 ル映像信号を分割してもよい。この場合、合計で3ビッ
 ト×分割数分の信号伝送線が入力され、同数のシフトレ
 ジスタが必要になる。なお、個々のシフトレジスタに含
 まれるDFFの数は分割された数に対応して減少する。

【0038】以上の実施形態において、D/A変換回路
 はランプ型D/A変換回路を用いても良い。その場合、
 D/A変換回路の個数はk/nとは限定されない。

【0039】

【実施例】（実施例1）本実施例では、水平方向の画素
 数を1024、垂直方向の画素数を768のXGA規格
 である画像表示装置を例にとって説明する。本実施例で
 は、デジタル映像信号を3ビットとして説明するが、本
 発明は3ビットに限らず、6ビット、8ビットまたはそ
 れ以外のビット数についても有効である。また、1つの
 D/A変換回路で4本の信号線を駆動する場合を例にと
 る。

【0040】以下に、本実施例の構成について説明し、

次に、本実施例の動作について説明する。

【0041】図3に本実施例による信号線駆動回路を示
 す。走査線駆動回路の構成、画素アレイ部の構成は従来
 と同じであるのでこれらについての説明は省略する。本
 実施例の信号線駆動回路は257段のDFFから成るシ
 フトレジスタが3個（第1～第3のシフトレジスタ）
 と、256×3（ビット数）の記憶回路（LAT）と、
 256個のD/A変換回路と、256個の信号線選択回
 路10bを有している。

【0042】それぞれのシフトレジスタにはクロック信
 号（CLK）は共通に入力されるが、第1ビット目のデ
 ジタル映像信号（D0）は第1のシフトレジスタへ、第
 2ビット目のデジタル映像信号（D1）は第2のシフト
 レジスタへ、第3ビット目のデジタル映像信号（D2）
 は第3のシフトレジスタへ入力される。記憶回路（LA
 T）には、ラッチ信号（LP）が、信号線選択回路10
 bには4つの制御信号（SS1～SS4）がそれぞれ入
 力される。なお、本実施例では図1の場合と異なりデジ
 タル映像信号を供給する信号伝送線等が信号線駆動回
 路の右側から入力されている。

【0043】次にその動作について、図4を参照しなが
 ら説明する。各シフトレジスタには対応するデジタル映
 像信号（Di（i=0～2））とクロック信号（CL
 K）が入力される。各シフトレジスタは入力されたデジ
 タル映像信号（Di）を順次右から左へシフトさせる。
 この様子を図4のSR-256、SR-255、…、S
 R-001に示す。時間経過と共に入力されるデジタル
 映像信号の並び順を、対応する信号線の番号によって表
 すと「（1、5、…、1017、1021）、（2、
 6、…、1018、1022）、（3、7、…、101
 9、1023）、（4、8、…、1020、102
 4）」となる。ここで、括弧「（）」はサブグループ
 を表す。本実施例では図1と異なりデジタル映像信号が
 右から左へシフトすることから、その映像信号の並び順
 も図2で示したものとは異なりサブグループ内では昇順
 になる。

【0044】1水平走査期間に記憶回路（LAT）部に
 入力されるラッチ信号（LP）を4回入力する。本実施
 例では以下のタイミングでラッチ信号を入力する。

【0045】まず、第1番目のサブグループ内で信号線
 の番号が「1」に対応するデジタル映像信号が、1段目の
 DFF（図3では最左列のDFFをゼロ段目とする）か
 ら出力されたら、クロック信号を一時的に止めて各DFF
 からの出力を固定させる。この時、第1回目のラッチ
 信号（LP）を入力し、シフトレジスタの各DFFの出
 力を各記憶回路（LAT）に記憶させる。この動作で、
 信号線の番号「1、5、…、1017、1021」に対応
 するデジタル映像信号が記憶回路（LAT）に転送され
 ると同時にD/A変換回路にはそれらの信号が出力され
 る。

【0046】その後、第2番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が「2」に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第2回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号「2、6、…、1018、1022」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0047】次に、第3番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が「3」に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第3回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号「3、7、…、1019、1023」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0048】最後に、第4番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が「4」に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第4回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号「4、8、…、1020、1024」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0049】以上のようなラッチ信号の入力により、信号線一行分全てのデジタル映像信号を記憶回路(LAT)に転送したことになる。

【0050】D/A変換回路に入力された、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10bを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0051】1水平走査期間に、記憶回路(LAT)は4回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路(LAT)に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0052】まず、第1番目のサブグループである信号線の番号「1、5、…、1017、1021」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第1の制御信号(SS1)を入力し、各信

号線選択回路10bは「1、5、…、1017、1021」番目の信号線をそれぞれ選択する。

【0053】次に、第2番目のサブグループである信号線の番号「2、6、…、1018、1022」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第2の制御信号(SS2)を入力し、各信号線選択回路10bは「2、6、…、1018、1022」番目の信号線をそれぞれ選択する。

【0054】さらに、第3番目のサブグループである信号線の番号「3、7、…、1019、1023」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第3の制御信号(SS3)を入力し、各信号線選択回路10bは「3、7、…、1019、1023」番目の信号線をそれぞれ選択する。

【0055】最後に、第4番目のサブグループである信号線の番号「4、8、…、1020、1024」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第4の制御信号(SS4)を入力し、各信号線選択回路10bは「4、8、…、1020、1024」番目の信号線をそれぞれ選択する。

【0056】このようにして、1水平走査期間に4回、信号線選択回路10bに制御信号パルスを入力することにより適切な信号線にD/A変換回路の出力を書き込むことが可能となる。

【0057】なお、記憶回路(LAT)の出力とD/A変換回路の間に、バッファ回路、レベルシフト回路、出力の期間を制限するイネーブル回路などを入れても良い。また、デジタル映像信号の入力並び順は、上記の順に限定されない。この並び順は、信号線選択回路の動作方法やシフトレジスタの動作方向(デジタル映像信号の入力接続位置)等により決定される。例えば、デジタル映像信号の入力において信号線駆動回路の左右のどちらへ入力するかにより上記サブグループ内の信号の並び順が逆になることは既に述べた。また、上記において信号線選択回路10bの第1の制御信号(SS1)と第4の制御信号(SS4)のパルスを入力するタイミングを入れ替えた場合、デジタル映像信号の入力並び順も、第1番目のサブグループと第4番目のサブグループを入れ替えたものとなる。

【0058】記憶回路の具体例を図5に示す。図5

(A)はクロックドインバータを用いたものであり、図5(B)はSRAM型のものであり、図5(C)はDRAM型のものである。これらは代表例であり、本発明はこれらの形式に限定されない。

【0059】以上のように、本発明では、シフトレジスタの個数は増えるものの1個当たり従来の4分の1の回路数からなるシフトレジスタ、従来の8分の1の記憶回路、従来の4分の1のD/A変換回路で画像表示装置を駆動することができ、駆動回路の占有面積および、素子数の大幅な削減が可能となる。また、デジタル映像信号

を直接シフトレジスタに入力するので、デジタル映像信号を供給する信号伝送線を短くし、また、接続されるゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0060】(実施例2)本実施例では、D/A変換回路にランプ方式のD/A変換回路を採用した場合の例を示す。図6にランプ方式のD/A変換回路を用いた場合の信号線駆動回路の概略図を示す。なお、本実施例でもXGA規格の画像表示装置で3ビットのデジタル映像信号に対応した場合を説明するが、本発明は3ビットに限らず、それ以外のビット数に対応した場合やXGA以外の規格の画像表示装置についても有効である。

【0061】以下に本実施例の構成と動作について説明する。

【0062】本実施例では、シフトレジスタから記憶回路(LAT)までは実施例1と同じである。記憶回路の下流には、ビット比較パルス幅変換回路(BPC)、アナログスイッチ20、そして信号線選択回路10cを有している。ビット比較パルス幅変換回路(BPC)には、記憶回路(LAT)に記憶されていた3ビットのデジタル映像信号、カウント信号(C0~C2)、セット信号(ST)が入力される。アナログスイッチ20には、ビット比較パルス幅変換回路の出力(PW-i、iは001~256)と、階調電源(VR)が入力される。信号線選択回路10cにはアナログスイッチ20の出力と制御信号(SS1~SS4)が入力される。

【0063】図6において左から第i段目のビット比較パルス幅変換回路(BPC)の構成例を図8に示す。BPCは排他的論理和ゲート、3入力NANDゲート、インバータ、セトリセットフリップフロップ(RS-FF)を有する。図8では、i段目の記憶回路(LAT)の出力を、ビットを区別して、L-i(0)、L-i(1)、L-i(2)とした。

【0064】次に、本実施例の動作について説明する。図6の回路動作を理解するために必要な信号系の動作タイミングを図7に示した。シフトレジスタから記憶回路(LAT)までの動作は実施例1と同じである。また、信号線選択回路10cに入力される制御信号(SS1~SS4)についても実施例1と同じである。信号線選択回路10cにより4本の信号線が順次選択されていくたびに、カウント信号(C0~C2)、セット信号(ST)、階調電源(VR)が周期的に入力される。これにより信号線全てに情報の書き込みを同等におこなうことができる。

【0065】ランプ方式D/A変換回路の詳細な動作を説明するために、4本の信号線のうち1本が信号線選択回路により選択されている期間の動作タイミングを図9に示す。まず、セット信号の入力によりRS-FF30がセットされ、出力PW-iがHiレベルになる。次に、第2のラッチ回路に記憶されていたデジタル映像信

号は、排他的論理和ゲートによってカウント信号(C0~C2)とビット毎に比較される。3ビット全てが一致した場合には、全ての排他的論理和ゲートの出力がHiレベルになり、その結果、3入力NANDゲートの出力(反転RC-i)はLoレベルになる(したがって、RC-iはHiレベルになる)。この3入力NANDの出力もRS-FF30に入力され、RC-iがHiレベルになるとリセットされ、出力PW-iがLoレベルに戻る。図9には、3ビットのデジタル映像信号{L-i(0)、L-i(1)、L-i(2)}が{0、0、1}の場合についてのRC-i、PW-i、DA-iの出力例を示した。こうして、デジタル映像信号の情報はビット比較パルス幅変換回路(BPC)の出力PW-iのパルス幅に変換される。

【0066】ビット比較パルス幅変換回路(BPC)の出力PW-iは、アナログスイッチ20の開閉を制御する。アナログスイッチ20にはカウント信号(C0~C2)に同期した階段状の電圧レベルをもつ階調電源(VR)が印加され、BPCの出力PW-iがHiレベルの間だけ信号線と導通し、PW-iがLoレベルになる瞬間の電圧を信号線に書き込む。

【0067】以上の動作により、デジタル映像信号をアナログ信号に変換し、信号線に任意の電位を書き込む。なお、階調電源(VR)は階段状である必要はなく、連続的に単調に変化するものでもよい。また、ビット比較パルス幅変換回路(BPC)の出力とアナログスイッチ20の間に、バッファ回路、レベルシフト回路などを入れてもよい。

【0068】以上のように、本発明では、D/A変換回路としてランプ方式のD/A変換回路を用いることもでき、その回路構成は従来の約4分の1で済み、駆動回路の占有面積および、素子数の大幅な削減が可能となる。

【0069】(実施例3)本実施例では、水平方向の画素数を640×3(RGBの3色)、垂直方向の画素数を480のVGA規格である単板でカラー表示が可能なカラー画像表示装置を例にとって説明する。ただし、R、G、Bは光の3原色である赤、緑、青をそれぞれ示す。本実施例でも、デジタル映像信号を3ビットとして説明するが、本発明は3ビットに限らず、6ビット、8ビットまたはそれ以外のビット数についても有効である。また、1つのD/A変換回路で3本の信号線を駆動する場合を例にとる。

【0070】以下に本実施例の構成と動作について説明する。

【0071】図10に本実施例による信号線駆動回路を示す。走査線駆動回路の構成、画素アレイ部の構成は従来と同じであるのでこれらについての説明は省略する。本実施例の信号線駆動回路は641段のDFFから成るシフトレジスタが3個(第1~第3のシフトレジスタ)と、640×3(ビット数)の記憶回路(LAT)と、

640個のD/A変換回路と、640個の信号線選択回路10dを有している。

【0072】それぞれのシフトレジスタにはクロック信号(CLK)は共通に入力されるが、RGBの第1ビット目のデジタル映像信号(D0)は第1のシフトレジスタへ、RGBの第2ビット目のデジタル映像信号(D1)は第2のシフトレジスタへ、RGBの第3ビット目のデジタル映像信号(D2)は第3のシフトレジスタへ入力される。記憶回路(LAT)には、ラッチ信号(LP)が、信号線選択回路10dには3つの制御信号(SS1~SS3)がそれぞれ入力される。なお、本実施例では図1の場合と同様にデジタル映像信号を供給する信号伝送線等が信号線駆動回路の左側から入力されている。

【0073】次にその動作について、図11を参照しながら説明する。各シフトレジスタには対応するRGBのデジタル映像信号(Di(i=0~2))とクロック信号(CLK)が入力される。各シフトレジスタは入力されたデジタル映像信号(Di)を順次左から右へシフトさせる。この様子を図11のSR-001、SR-002、…、SR-640に示す。時間経過と共に入力されるデジタル映像信号の並び順を、図10で示した対応する信号線の名称によって表すと「(R640、R639、…、R002、R001)、(G640、G639、…、G002、G001)、(B640、B639、…、B002、B001)」となる。ここで、括弧“() ”はサブグループを表し、RGB別にまとめられている。本実施例では図1と同様にデジタル映像信号が左から右へシフトすることから、その映像信号の並び順も図2と同様にサブグループ内では降順になる。

【0074】1水平走査期間に記憶回路(LAT)部にラッチ信号(LP)を3回入力する。本実施例では以下のタイミングでラッチ信号を入力する。

【0075】まず、第1番目の“R”のサブグループ内で信号線「R640」に対応するデジタル映像信号が、640段目のDFF(図10では最左列のDFFを1段目とする)から出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第1回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線「R001、R002、…、R639、R640」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0076】その後、第2番目の“G”のサブグループのデジタル映像信号と、クロック信号を入力し、信号線「G640」に対応するデジタル映像信号が640段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第2回目のラッチ信号(LP)を入力し、シフトレジスタの各D

FFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線「G001、G002、…、G639、G640」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0077】最後に、第3番目の“B”のサブグループのデジタル映像信号と、クロック信号を入力し、信号線「B640」に対応するデジタル映像信号が640段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第3回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線「B001、B002、…、B639、B640」に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0078】以上のようなラッチ信号の入力により、信号線一行分全てのデジタル映像信号を記憶回路(LAT)に転送したことになる。

【0079】D/A変換回路に入力された、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10dを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0080】1水平走査期間に、記憶回路(LAT)は3回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路(LAT)に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0081】まず、第1番目の“R”のサブグループである信号線「R001、R002、…、R639、R640」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第1の制御信号(SS1)を入力し、各信号線選択回路10dは「R001、R002、…、R639、R640」の信号線をそれぞれ選択する。

【0082】次に、第2番目の“G”のサブグループである信号線「G001、G002、…、G639、G640」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第2の制御信号(SS2)を入力し、各信号線選択回路10dは「G001、G002、…、G639、G640」の信号線をそれぞれ選択する。

【0083】最後に、第3番目の“B”のサブグループである信号線「B001、B002、…、B639、B640」に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第3の制御信号(SS3)を入力し、各信号線選択回路10dは「B001、B002、…、B639、B640」の信号線をそれぞれ選択する。

【0084】このようにして、1水平走査期間にRGBに対応して3回、信号線選択回路10dに制御信号パルスを入力することにより適切な信号線にD/A変換回路の出力を書き込むことが可能となる。

【0085】なお、記憶回路(LAT)の出力とD/A変換回路の間に、バッファ回路、レベルシフト回路、出力の期間を制限するイネーブル回路などを入れても良い。また、デジタル映像信号の入力並び順は、上記の順に限定されない。この並び順は、信号線選択回路の動作方法やシフトレジスタの動作方向(デジタル映像信号の入力接続位置)等により決定される。例えば、デジタル映像信号の入力において信号線駆動回路の左右のどちらへ入力するかにより上記サブグループ内の信号の並び順が逆になる。また、上記において信号線選択回路10dの第1の制御信号(SS1)と第3の制御信号(SS3)のパルスを入力するタイミングを入れ替えた場合、デジタル映像信号の入力並び順も、第1番目の“R”のサブグループと第3番目の“B”のサブグループを入れ替えたものとなる。

【0086】以上のように、本発明では、シフトレジスタの個数は増えるものの1個当たり従来の3分の1の回路数からなるシフトレジスタ、従来の6分の1の記憶回路、従来の3分の1のD/A変換回路で画像表示装置を駆動することができ、駆動回路の占有面積および、素子数の大幅な削減が可能となる。また、デジタル映像信号を直接シフトレジスタに入力するので、デジタル映像信号を供給する信号伝送線を短くし、また、接続されるゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0087】(実施例4) 本実施例では、実施例1～実施例3をアクティブマトリクス型液晶表示装置に適用した場合の作成方法例として、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路(信号線駆動回路、走査線駆動回路等)のTFTを同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路であるCMOS回路を、画素部の画素TFTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

【0088】まず、図12(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜401aを10～200nm(好ましくは50～100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜401bを50～200nm(好ましくは100～150

nm)の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0089】島状半導体層402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層402～406の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0090】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0091】次いで、島状半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0092】そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTaで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0093】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50\text{nm}$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることができる。

【0094】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20\mu\Omega\text{cm}$ を実現することができる。

【0095】なお、本実施例では、第1の導電膜408をTa、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0096】次に、レジストによるマスク410~417を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0097】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第

2の導電層の端部がテーパ部の角度が $15\sim45^\circ$ のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10\sim20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2\sim4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim50\text{nm}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419~426(第1の導電層419a~426aと第2の導電層419b~426b)を形成する。418はゲート絶縁膜であり、第1の形状の導電層419~426で覆われない領域は $20\sim50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0098】そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図12(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1\times10^{13}\sim5\times10^{14}\text{atoms/cm}^2$ とし、加速電圧を $60\sim100\text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層419~423がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域427~431が形成される。第1の不純物領域427~431には $1\times10^{10}\sim1\times10^{11}\text{atomic/cm}^2$ の濃度範囲でn型を付与する不純物元素を添加する。

【0099】次に、図12(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層433~440(第1の導電層433a~440aと第2の導電層433b~440b)を形成する。432はゲート絶縁膜であり、第2の形状の導電層433~437で覆われない領域はさらに $20\sim50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0100】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC l₂、TaF₅、TaCl₃は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチン

グされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、フラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、 Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、 Ta は W に比較して酸化されやすいので、 O_2 を添加することで Ta の表面が酸化される。 Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、 W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

【0101】そして、図13(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{11} / \text{cm}^2$ のドーズ量で行い、図12(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層433~437を不純物元素に対するマスクとして用い、第1の導電層433a~437aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層433a~437aと重なる第3の不純物領域441~445と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域446~450とを形成する。 n 型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{11} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{11} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ の濃度となるようにする。

【0102】そして、図13(B)に示すように、 p チャネル型TFTを形成する島状半導体層403に一導電型とは逆の導電型の第4の不純物領域454~456を形成する。第2の形状の導電層434を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、 n チャネル型TFTを形成する島状半導体層402、404、405、406はレジストマスク451~453で全面を被覆しておく。不純物領域454~456にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を $2 \times 10^{10} \sim 2 \times 10^{11} \text{ atoms/cm}^2$ となるようにする。

【0103】以上の工程により、それぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる導電層433~436がTFTのゲート電極として機能する。また、439は信号線、440は走査線、437は容量配線、438は駆動回路内の配線として機能する。

【0104】こうして導電型の制御を目的として図13(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程は

アーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 700^\circ\text{C}$ 、代表的には $500 \sim 600^\circ\text{C}$ で行うものであり、本実施例では 500°C で4時間の熱処理を行う。ただし、433~440に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0105】さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0106】次いで、第1の層間絶縁膜457は酸化窒化シリコン膜から $100 \sim 200 \text{ nm}$ の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0107】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線459~461、ドレイン領域とコンタクトを形成するドレイン配線462~464を形成する。また、画素部においては、画素電極466、467、接続電極465を形成する(図14)。この接続電極465により信号線439は、画素TFT504と電気的な接続が形成される。

画素電極466は、画素TFTの活性層に相当する島状半導体層405及び保持容量を形成する島状半導体層(図示せず)とそれぞれ電気的な接続が形成される。なお、画素電極467及び保持容量505は隣り合う画素のものである。

【0108】以上のようにして、 n チャネル型TFT501、 p チャネル型TFT502、 n チャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0109】駆動回路部の n チャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域446(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。 p チャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第4の不純物領域456、ゲート電極の外側に形成される第4の不純物領域455、ソース領域またはドレイン領域と

して機能する第4の不純物領域454を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域448 (LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

【0110】画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域449 (LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体層431には第1の不純物領域と同じ濃度で、半導体層445には第3の不純物領域と同じ濃度で、半導体層450には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線437とその間の絶縁層 (ゲート絶縁膜と同じ層)とで保持容量を形成している。

【0111】本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0112】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚 (島状半導体層パターン、第1配線パターン (走査線、信号線、容量配線)、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン (画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0113】 (実施例5) 本実施例では、実施例4で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図15を用いる。

【0114】まず、実施例4に従い、図14の状態のアクティブマトリクス基板を得た後、図14のアクティブマトリクス基板上に配向膜506を形成しラビング処理を行う。

【0115】一方、対向基板507を用意する。対向基板507にはカラーフィルター層508、509、オーバーコート層510を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層508と青色のカラーフィルター層509とを重ねて形成し遮光膜を兼ねる構成とする。実施例4の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0116】また、接続電極465に合わせて赤色のカラーフィルター層508、青色のカラーフィルター層509、緑色のカラーフィルター層511とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1~3 μ mの厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層510の厚さ1~4 μ mを考慮することにより2~7 μ m、好ましくは4~6 μ mとすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層510は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0117】スペーサの配置は任意に決定すれば良いが、例えば図15で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0118】オーバーコート層510を形成した後、対向電極512をバタニング形成し、配向膜513を形成した後ラビング処理を行う。

【0119】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤514で貼り合わせる。シール剤514にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料515を注入し、封止剤 (図示せず)によって完全に封止する。液晶材料515には公知の液晶材料を用いれば良い。このようにして図15に示すアクティブマトリクス型液晶表示装置が完成する。

【0120】なお、上記の工程により作成されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本発明は適用され得る。

【0121】また、液晶材料の代わりにエレクトロルミネッセンス (EL:Electro Luminescence) 材料を用いた自発光型の画像表示装置であるEL表示装置に対しても本発明は適用され得る。なお、EL素子には、エレクトロルミネッセンス (Electro Luminescence: 電場を加えることで発生するルミネッセンス) が得られる有機化合物を含む層 (以下、有機化合物層と記す) と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明はどちらの発光を用いたEL表示装置にも適用可能である。

【0122】 (実施例6) 本実施例では、実施例1~実

施例3をEL表示装置に適用した場合の作製例について説明する。

【0123】図16(A)は本発明を適用したEL表示装置の上面図であり、図16(B)は図16(A)に示したA-A'で切断したEL表示装置の断面図である。図16(A)において、4010は基板、4011は画素部、4012は信号線駆動回路、4013は走査線駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0124】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材4600、シーリング材(ハウジング材ともいう)4100、密封材(第2のシーリング材)4101が設けられている。

【0125】また、図16(B)に示すように、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0126】公知の作製方法を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0127】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0128】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるが、い

れの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0129】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバ一方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0130】なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0131】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0132】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4603、充填材4604、カバー材4600が形成される。

【0133】さらに、EL素子部を囲むようにして、カバー材4600と基板4010の内側にシーリング材4100が設けられ、さらにシーリング材4100の外側には密封材(第2のシーリング材)4101が形成される。

【0134】このとき、この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填材4604としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0135】また、充填材4604の中にスペーサーを

10

20

30

40

50

含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0136】スペーサーを設けた場合、パッシベーション膜4603はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0137】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0138】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4600が透光性を有する必要がある。

【0139】また、配線4016はシーリング材4100および密封材4101と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4100および密封材4101の下を通してFPC4017に電気的に接続される。

【0140】なお本実施例では、充填材4604を設けてからカバー材4600を接着し、充填材4604の側面(露呈面)を覆うようにシーリング材4100を取り付けているが、カバー材4600及びシーリング材4100を取り付けてから、充填材4604を設けてもよい。この場合、基板4010、カバー材4600及びシーリング材4100で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10⁻¹Torr以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0141】(実施例7) 本実施例では、本発明を用いて実施例6とは異なる形態のEL表示装置を作製した例について、図17(A)、図17(B)を用いて説明する。図16(A)、図16(B)と同じ番号のものは同じ部分を指しているため説明は省略する。

【0142】図17(A)は本実施例のEL表示装置の上面図であり、図17(A)をA-A'で切断した断面図を図17(B)に示す。

【0143】実施例6に従って、EL素子の表面を覆ってパッシベーション膜4603までを形成する。

【0144】さらに、EL素子を覆うようにして充填材4604を設ける。この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填

材4604としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0145】また、充填材4604の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0146】スペーサーを設けた場合、パッシベーション膜4603はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0147】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0148】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4600が透光性を有する必要がある。

【0149】次に、充填材4604を用いてカバー材4600を接着した後、充填材4604の側面(露呈面)を覆うようにフレーム材4601を取り付ける。フレーム材4601はシーリング材(接着剤として機能する)4602によって接着される。このとき、シーリング材4602としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いてもよい。なお、シーリング材4602はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材4602の内部に乾燥剤を添加してあってもよい。

【0150】また、配線4016はシーリング材4602と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4602の下を通してFPC4017に電気的に接続される。

【0151】なお本実施例では、充填材4604を設けてからカバー材4600を接着し、充填材4604の側面(露呈面)を覆うようにフレーム材4601を取り付けているが、カバー材4600及びフレーム材4601を取り付けてから、充填材4604を設けてもよい。この場合、基板4010、カバー材4600及びフレーム材4601で形成されている空隙に通じる充填材の注

口を設ける。そして前記空隙を真空状態 (10^{-1} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0152】(実施例8) ここでEL表示装置における画素部のさらに詳細な断面構造を図18に、上面構造を図19(A)に、回路図を図19(B)に示す。図18、図19(A)及び図19(B)では共通の符号を用いるので互いに参照すれば良い。

【0153】図18において、基板4501上に設けられたスイッチング用TFT4502は公知の方法で形成されたnチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたp

チャネル型TFTを用いて形成しても構わない。

【0154】また、電流制御用TFT4503は公知の方法で形成されたnチャネル型TFTを用いる。スイッチング用TFT4502のソース配線(信号線)は34である。そして、スイッチング用TFT4502のドレイン配線である35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT4502のゲート電極39a、39bを電気的に接続するゲート配線(走査線)である。

【0155】電流制御用TFT4503はEL素子を流れる電流量を制御する素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける構造は極めて有効である。

【0156】また、本実施例では電流制御用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0157】また、図19(A)に示すように、電流制御用TFT4503のゲート電極37となる配線36は4504で示される領域で絶縁膜を介して、電流制御用TFT4503のドレイン配線40と電気的に接続された電源供給線4506と重なる。このとき、4504で示される領域ではコンデンサが形成され、電流制御用T

FT4503のゲート電極37にかかる電圧を保持するための保持容量として機能する。保持容量4504は、電源供給線4506と電気的に接続された半導体膜4507、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線36との間で形成される。また、配線36、第1層間絶縁膜と同一の層(図示せず)及び電源供給線4506で形成される容量も保持容量として用いることが可能である。なお、電流制御用TFTのドレインは電源供給線(電源線)4506に接続され、常に一定の電圧が加えられている。

【0158】スイッチング用TFT4502及び電流制御用TFT4503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0159】また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT4503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0160】また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお図19(A)では、保持容量4504の位置を明確にするために一部バンクを省略しており、バンク44a、44bしか図示していないが、電源供給線4506とソース配線(信号線)34を一部覆うように電源供給線4506とソース配線(信号線)34の間に設けられている。また、ここでは二画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリバラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0161】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0162】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光す

る発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0163】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0164】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0165】本実施例では発光層45の上にPEDOT(ポリチオフェン)またはPAni(ポリアニリン)でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって(TFTの上方に向かって)放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0166】陽極47まで形成された時点でEL素子4505が完成する。なお、ここでいうEL素子4505は、画素電極(陰極)43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図19(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0167】ところで、本実施例では、陽極47の上にさらに第2バッシベーション膜48を設けている。第2バッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0168】以上のように本発明のEL表示装置は図18のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示装置が得られる。

【0169】(実施例9) 本実施例では、実施例8に示

した画素部において、EL素子4505の構造を反転させた構造について説明する。説明には図20を用いる。なお、図18の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0170】図20において、電流制御用TFT4503は公知の方法で形成されたpチャネル型TFTを用いる。

【0171】本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0172】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がバッシベーション膜としても機能する。こうしてEL素子4701が形成される。

【0173】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0174】(実施例10) 本実施例では、図19(B)に示した回路図とは異なる構造の画素とした場合の例について図21(A)~(C)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線(信号線)、4803はスイッチング用TFT4802のゲート配線(走査線)、4804は電流制御用TFT、4805は保持容量、4806、4808は電源供給線、4807はEL素子とする。

【0175】図21(A)は、二つの画素間で電源供給線4806を共通とした場合の例である。即ち、二つの画素が電源供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0176】また、図21(B)は、電源供給線4808をゲート配線(走査線)4803と平行に設けた場合の例である。なお、図21(B)では電源供給線4808とゲート配線(走査線)4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4808とゲート配線(走査線)4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0177】また、図21(C)は、図21(B)の構造と同様に電源供給線4808をゲート配線(走査線)

4803と平行に設け、さらに、二つの画素を電源供給線4808に対し線対称となるように形成する点に特徴がある。また、電源供給線4808をゲート配線（走査線）4803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0178】（実施例11）実施例8に示した図19

（A）、図19（B）では電流制御用TFT4503のゲートにかかる電圧を保持するために保持容量4504 10を設ける構造としているが、保持容量4504を省略することも可能である。実施例8の場合、電流制御用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4504の代わりとして積極的に用いる点に特徴がある。

【0179】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変 20化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0180】また、実施例10に示した図21（A）、

（B）、（C）の構造においても同様に、保持容量4805を省略することは可能である。

【0181】（実施例12）本実施例では、本発明の画像表示装置を組み込んだ電子機器について説明する。これらの電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチル 30カメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図22～図24に示す。ただし、画像表示装置のうちアクティブマトリクス型液晶表示装置については、図22、図23、図24が適用され、EL表示装置については、図22、図23が適用される。

【0182】図22（A）は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示部9004、操作スイッチ9005、アンテナ9006から構成されている。本発明は表示部9004に適用することができる

【0183】図22（B）はビデオカメラであり、本体 409101、表示部9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明は表示部9102に適用することができる。

【0184】図22（C）はパーソナルコンピュータの一種であるモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示部9205で構成されている。本発明は表示部9205に適用することができる。

【0185】図22（D）はヘッドマウントディスプレイ（ゴーグル型ディスプレイ）であり、本体9301、表示部9302、アーム部9303で構成される。本発明は表示部9302に適用することができる。

【0186】図22（E）はテレビであり、本体9401、スピーカ9402、表示部9403、受信装置9404、増幅装置9405等で構成される。本発明は表示部9402に適用することができる。

【0187】図22（F）は携帯書籍であり、本体9501、表示部9502、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やDVD（Digital Versatile Disc）に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部9502に適用することができる。

【0188】図23（A）はパーソナルコンピュータであり、本体9601、画像入力部9602、表示部9603、キーボード9604で構成される。本発明は表示部9603に適用することができる。

【0189】図23（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示部9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部9702に適用することができる。

【0190】図23（C）はデジタルカメラであり、本体9801、表示部9802、接眼部9803、操作スイッチ9804、受像部（図示しない）で構成される。本発明は表示部9802に適用することができる。

【0191】図23（D）は片眼のヘッドマウントディスプレイであり、表示部9901、ヘッドマウント部9902で構成される。本発明は表示部9901に適用することができる。

【0192】図24（A）はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。

【0193】図24（B）はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。

【0194】なお、図24（C）は、図24（A）及び図24（B）中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示部3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、これに限定されず、例えば単板 50

式であってもよい。また、図 24 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。本発明は液晶表示部 3808 に適用することができる。

【0195】また、図 24 (D) は、図 24 (C) 中における光源光学系 3801 の構造の一例を示した図である。本実施例では、光源光学系 3801 は、リフレクター 3811、光源 3812、レンズアレイ 3813、3814、偏光変換素子 3815、集光レンズ 3816 で構成される。なお、図 24 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0196】以上の様に、本発明の適用範囲はきわめて広く、画像表示装置を用いるあらゆる分野の電子機器に適用することが可能である。

【0197】

【発明の効果】本発明による画像表示装置の駆動回路は、信号線駆動回路の面積を大幅に縮小でき、画像表示装置の小型化に有効であり、且つ、デジタル映像信号の配線に寄生する抵抗や容量を減少させ、駆動回路の動作マージンを大きくする。これらは、画像表示装置のコスト低減、歩留まり向上に効果がある。

【図面の簡単な説明】

【図 1】 本実施形態の信号線駆動回路の構成例を示す図である。

【図 2】 図 1 の信号線駆動回路の動作タイミングを示す図である。

【図 3】 実施例 1 の信号線駆動回路の構成を示す図である。

【図 4】 図 3 の信号線駆動回路の動作タイミングを示す図である。

【図 5】 ラッチ回路の例を示す図である。

【図 6】 実施例 2 の信号線駆動回路の構成を示す図である。

【図 7】 図 6 の駆動回路の動作タイミングを示す図である。

【図 8】 ビット比較パルス幅変換回路 (BPC) の構成を示す図である。

【図 9】 ランプ方式 D/A 変換回路の動作を説明する図である。

【図 10】 実施例 3 の信号線駆動回路の構成を示す図である。

【図 11】 図 10 の駆動回路の動作タイミングを示す図である。

【図 12】 TFT の作製工程を示す断面図である。

【図 13】 TFT の作製工程を示す断面図である。

【図 14】 アクティブマトリクス基板断面図である。

【図 15】 アクティブマトリクス型液晶表示装置の断面構造図を示す図である。

【図 16】 EL 表示装置の作製例を示す図である。

【図 17】 EL 表示装置の作製例を示す図である。

【図 18】 EL 表示装置の作製例を示す図である。

【図 19】 EL 表示装置の作製例を示す図である。

【図 20】 EL 表示装置の作製例を示す図である。

【図 21】 EL 表示装置の作製例を示す図である。

【図 22】 本発明を用いた電子機器の一例を示す図である。

【図 23】 本発明を用いた電子機器の一例を示す図である。

【図 24】 投影型液晶表示装置の構成を示す図である。

【図 25】 アクティブマトリクス型液晶表示装置の構成図である。

【図 26】 従来のデジタル方式の信号線駆動回路の構成図である。

【図 27】 従来のデジタル方式の信号線駆動回路のタイミングチャートを示す図である。

【符号の説明】

10 (a~d) 信号線選択回路

20 アナログスイッチ

30 セットリセットフリップフロップ (RS-FF)

101 信号線駆動回路

102 走査線駆動回路

103 画素アレイ部

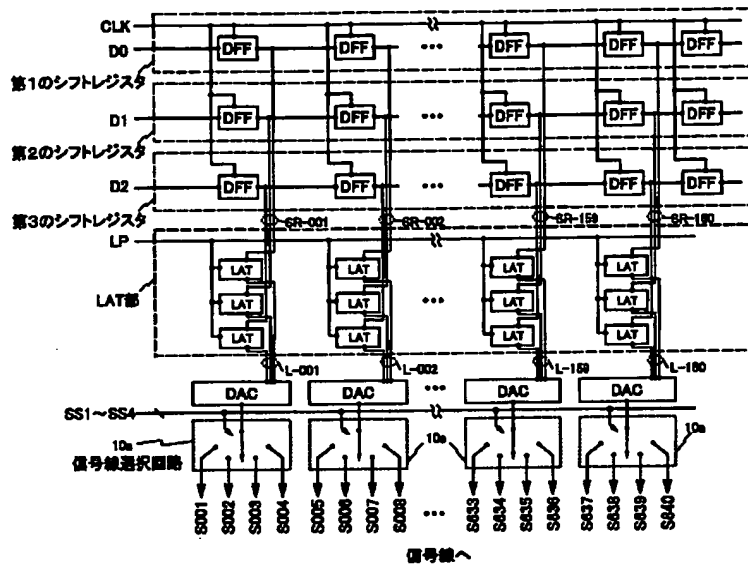
104 信号線

105 走査線

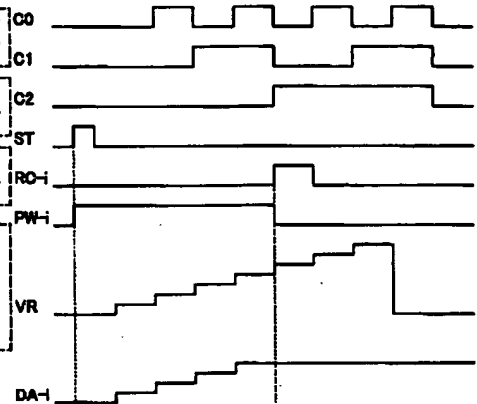
106 画素 TFT

107 液晶

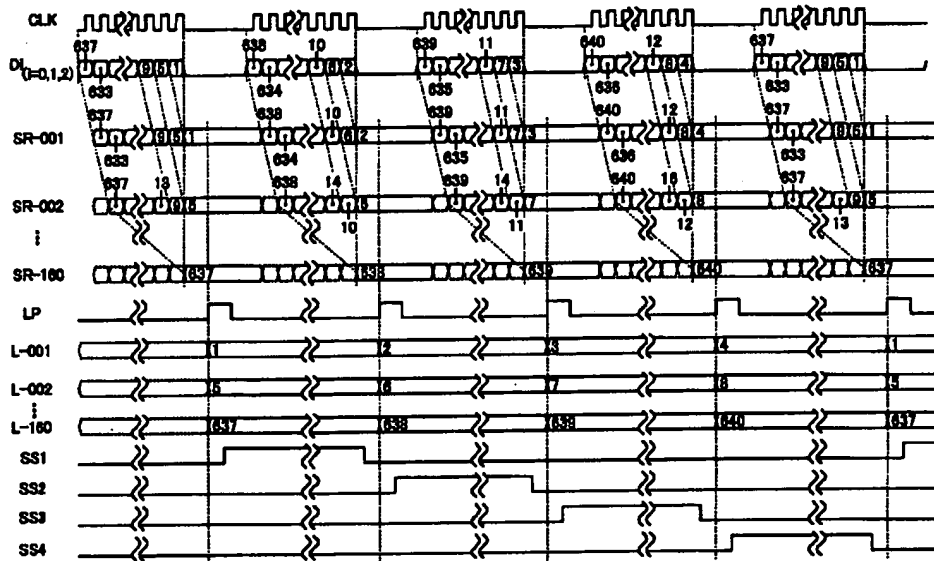
【図1】



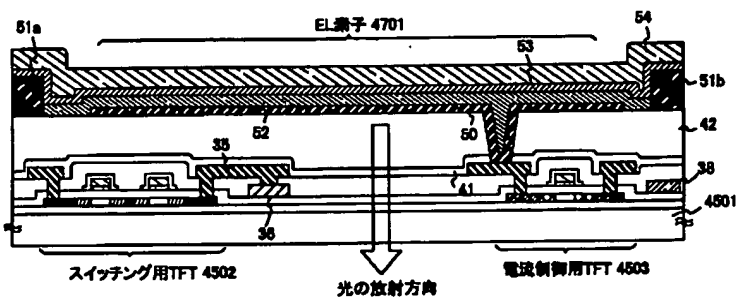
【図9】



【図2】

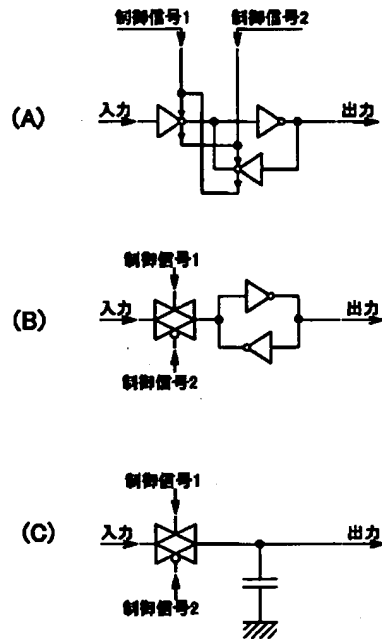


【図20】

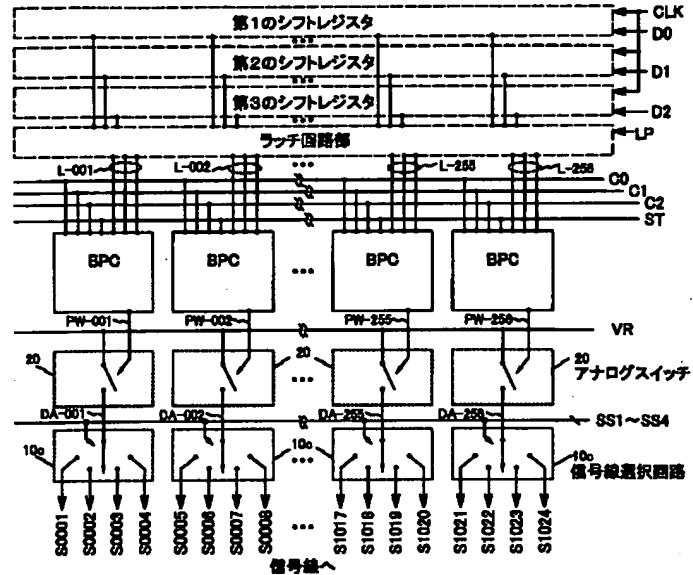


Timing diagram for the L255 memory device. The diagram shows the relationship between CLK, DI, SR-256, SR-255, SR-001, LP, L-001, L-255, L-256, SS1, SS2, SS3, and SS4 signals. Data values are shown in the SR-256 and SR-255 signals, and address values are shown in the L-001, L-255, and L-256 signals. The diagram is divided into four main sections, each corresponding to a different data value (1017, 1018, 1019, 1020).

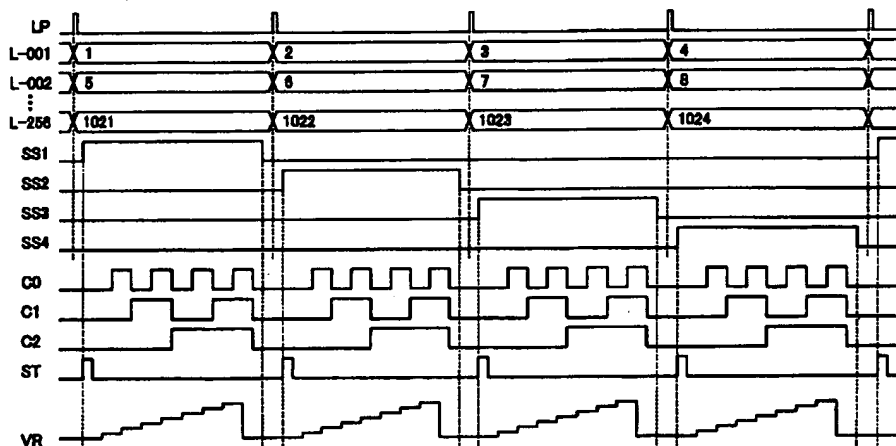
【図5】



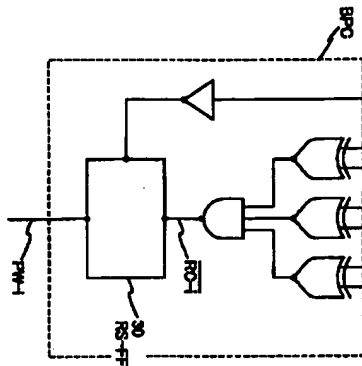
【図6】



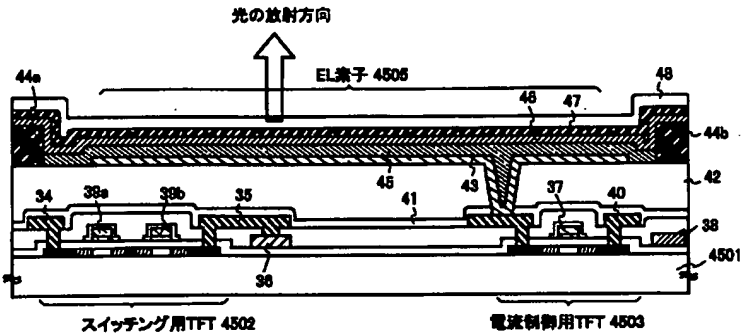
【図7】



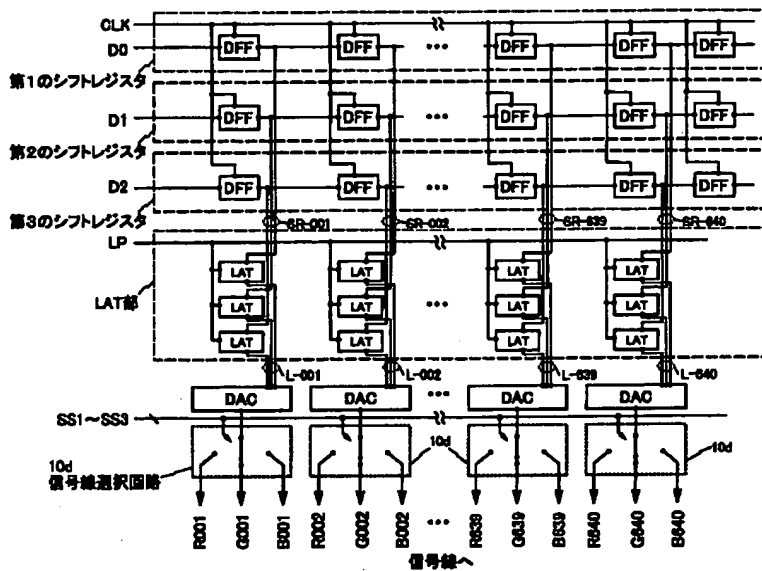
【図8】



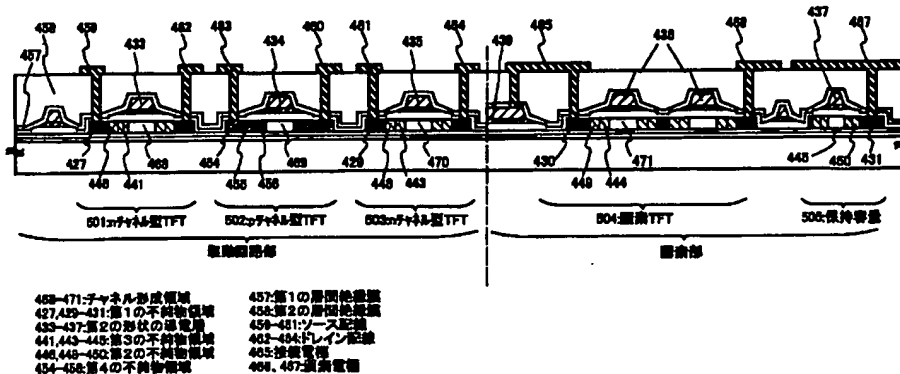
【図18】



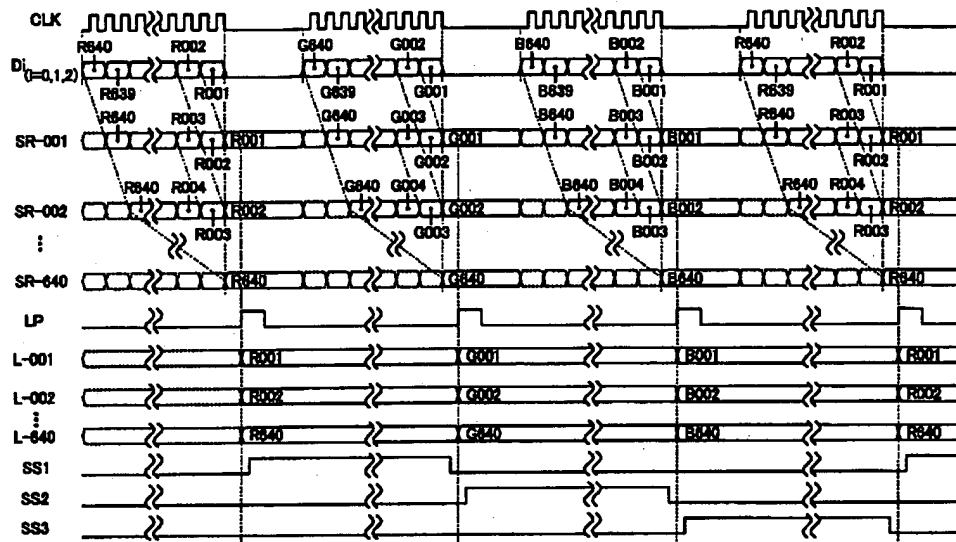
【図10】



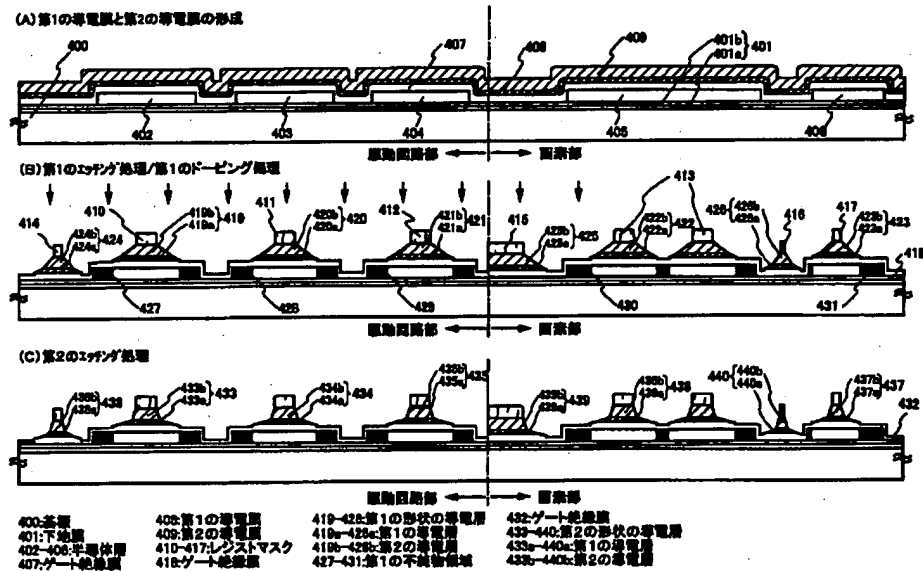
【図14】



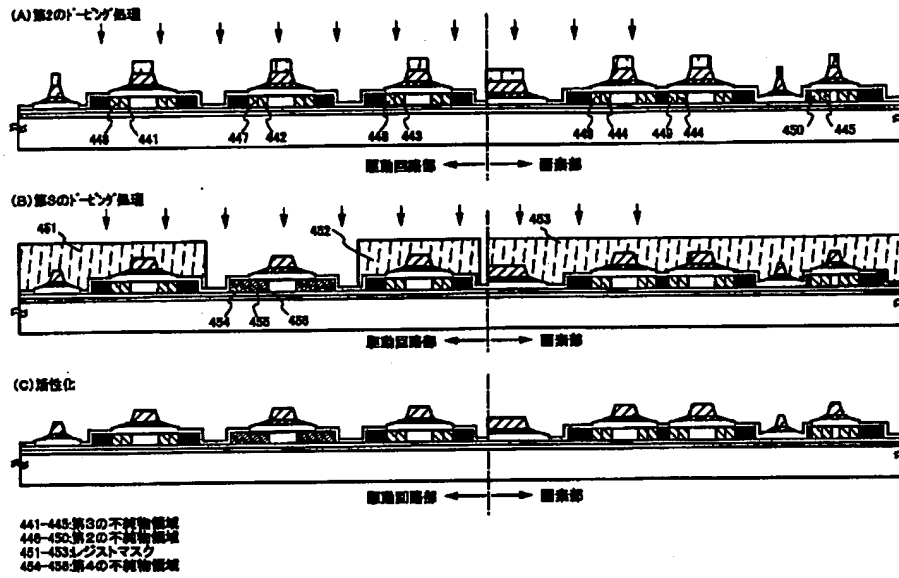
【図11】



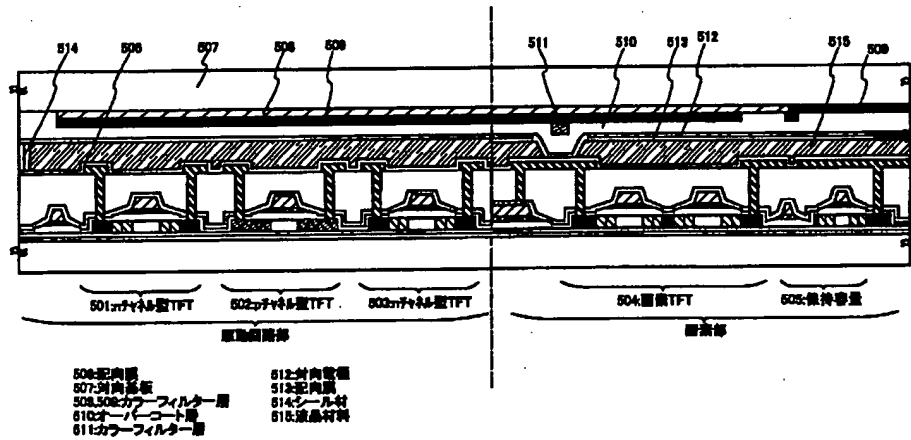
【図12】



【図13】

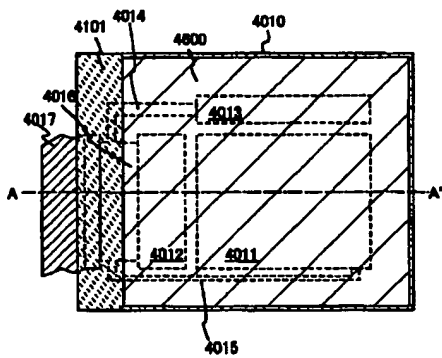


【図15】



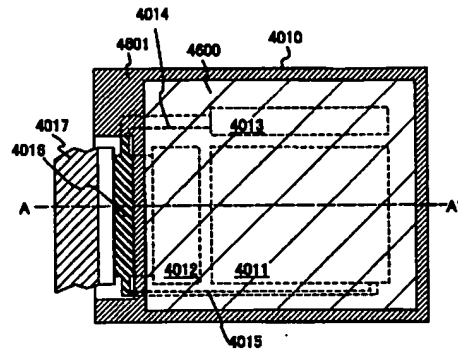
【図16】

(A)

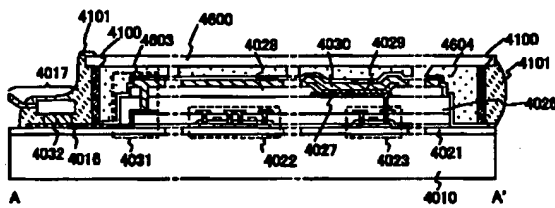


【図17】

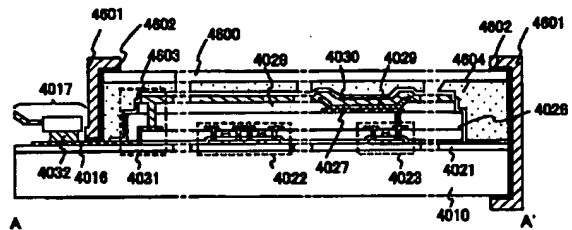
(A)



(B)

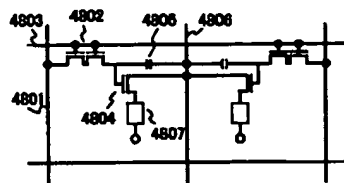


(B)

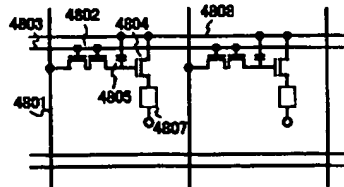


【図21】

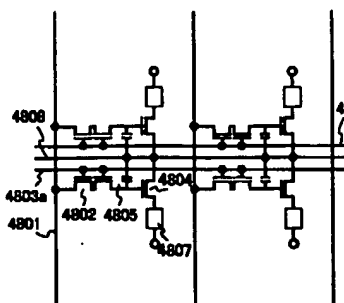
(A)



(B)

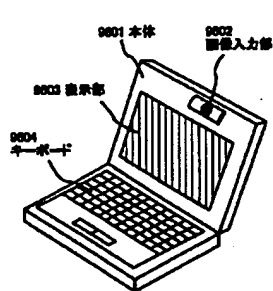


(C)

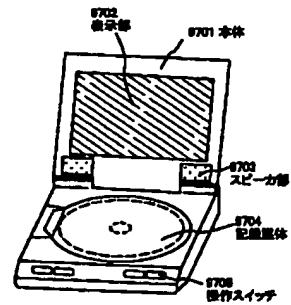


【図23】

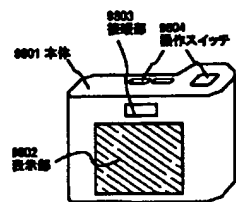
(A)



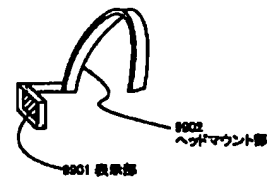
(B)



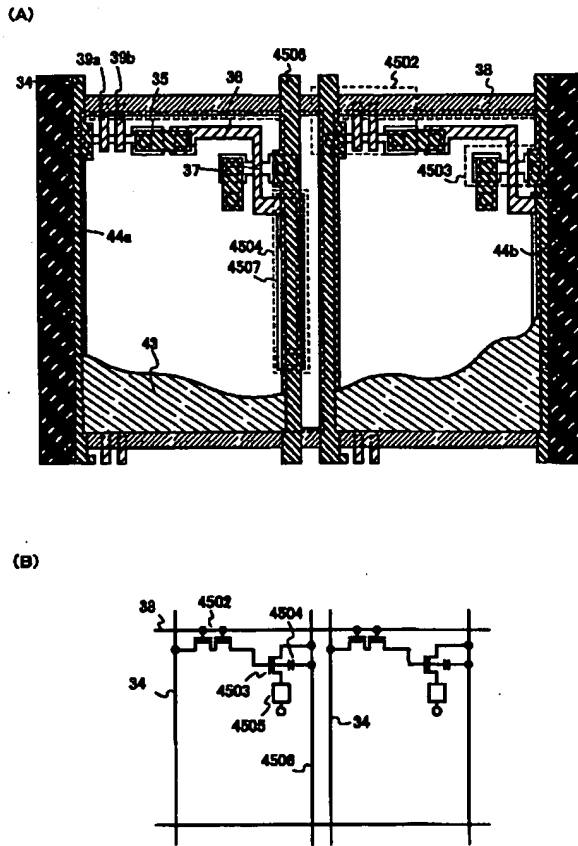
(C)



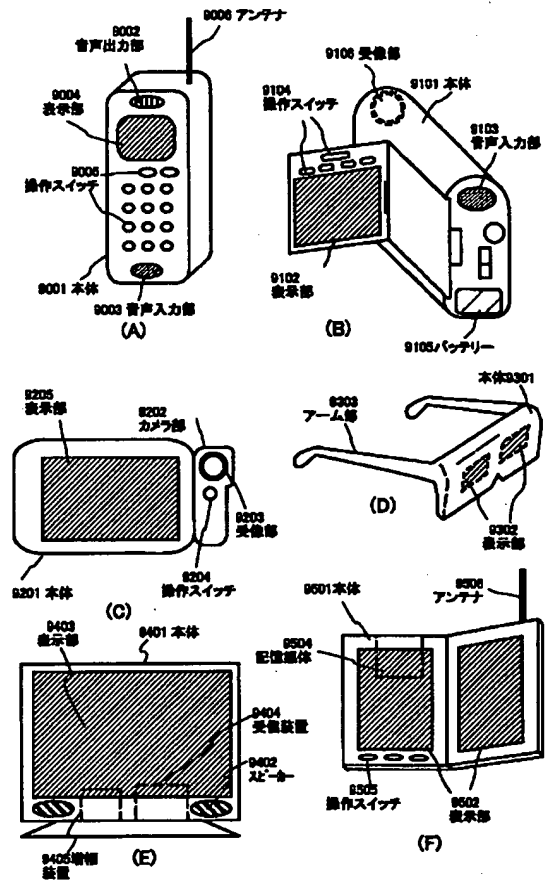
(D)



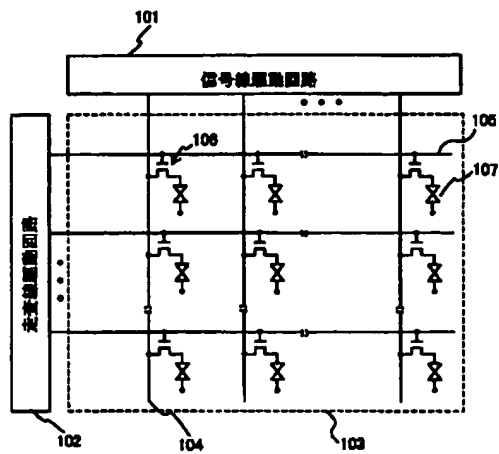
【図19】



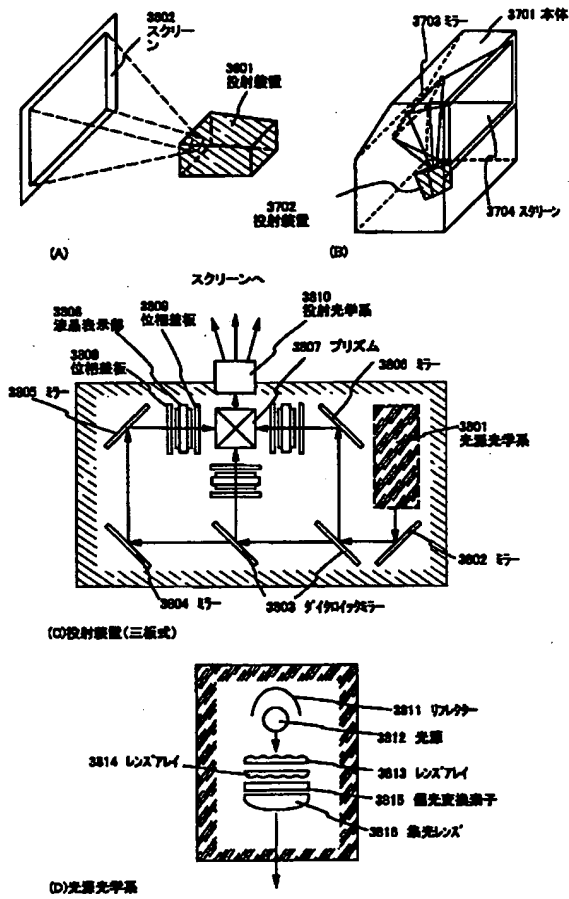
【図22】



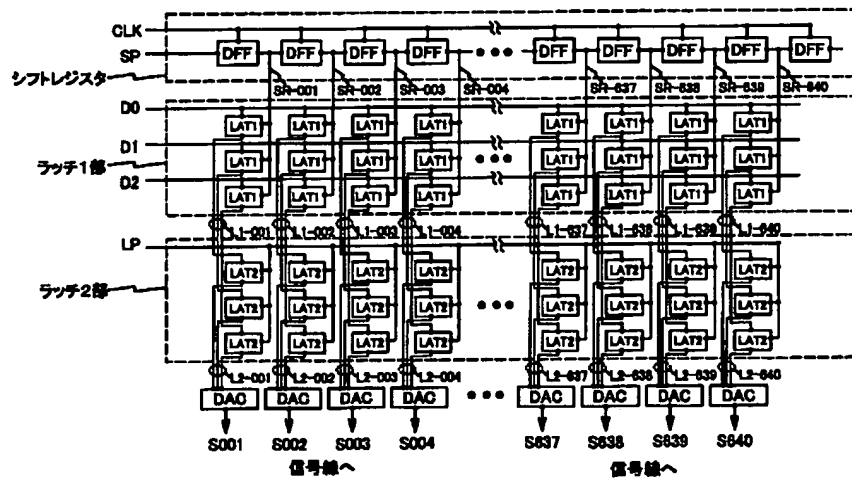
【図25】



【図24】



【図26】



The timing diagram shows the following signals and their behavior:

- CLK**: Clock signal, periodic square wave.
- SP**: Status Register (SR) Strobe, active-low pulse.
- SR-001, SR-002, SR-003, SR-040**: Individual status register outputs, active-low pulses.
- Di(0,1,2)**: Data bus signals, showing data cycles for addresses 636-640.
- L1-001, L1-002, L1-040**: L1 cache enable signals, active-low pulses. L1-040 is shown with address 640.
- LP**: L2 cache enable signal, active-low pulse.
- L2-001, L2-002, L2-040**: L2 cache enable signals, active-low pulses. L2-040 is shown with address 640.

Address ranges 636-640 are highlighted for L1 and L2 caches.

(51) Int. Cl.⁷

識別記号

F I

G O 9 G 3/30
3/36

テマコート' (参考)

J